



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0054939  
Application Number

출원 년 월 일 : 2002년 09월 11일  
Date of Application SEP 11, 2002

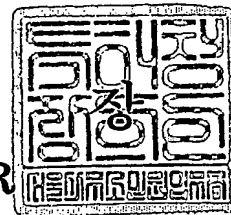
출원인 : 주식회사 디엠비테크놀로지  
Applicant(s) D· M· B Technology Co., Ltd.

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)



2003      년      09      월      03      일

특      허      청  
COMMISSIONER



【서지사항】	
【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2002.09.11
【국제특허분류】	H01L
【발명의 명칭】	이중 전원을 사용하는 디지털 오디오 증폭기에서의 팝 잡음 제거회로 및 방법
【발명의 영문명칭】	Circuit and method for eliminating pop noise in digital audio amplifier using dual power supply
【출원인】	
【명칭】	디엠비테크놀로지 주식회사
【출원인코드】	1-2002-033644-0
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2002-069618-1
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2002-069619-9
【발명자】	
【성명의 국문표기】	류태하
【성명의 영문표기】	RY00,Tae Ha
【주민등록번호】	690202-1770123
【우편번호】	305-805
【주소】	대전광역시 유성구 신성동 153 하나아파트 107동 1403호
【국적】	KR
【발명자】	
【성명의 국문표기】	장병탁
【성명의 영문표기】	JANG,Byung Tak
【주민등록번호】	690826-1773116

【우편번호】 302-739

【주소】 대전광역시 서구 만년동 상아아파트 106동 1107호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
이해영 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	4 면	4,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	9 항	397,000 원
【합계】		430,000 원
【감면사유】	소기업 (70%감면)	
【감면후 수수료】		129,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류_1통	

**【요약서】****【요약】**

이중 전원(Dual power supply)을 사용하는 디지털 오디오 증폭기에 있어서 간단하고 가격이 저렴하며 반도체 칩 상에 쉽게 구현될 수 있는 팝 잡음 제거회로 및 팝 잡음 제거방법이 개시된다. 종래에는 릴레이(Relay)를 사용하여 팝 잡음을 제거하였지만 본 발명에 따른 팝 잡음 제거회로에서는 소수의 개별 전자 소자를 사용하여 팝 잡음을 제거 할 수 있다. 본 발명에 따른 팝 잡음 제거회로는 전원 인가 및 해제 시 전력 스위치, 즉 전력 모스 트랜지스터의 게이트 전압을 제어하는 방식으로 구조가 간단하고 반도체 칩상에 집적화가 용이한 장점이 있다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

이중 전원을 사용하는 디지털 오디오 증폭기에서의 팝 잡음 제거회로 및 방법  
{Circuit and method for eliminating pop noise in digital audio amplifier  
using dual power supply}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여  
각 도면의 간단한 설명이 제공된다.

도 1은 종래기술에 따른 디지털 오디오 증폭기의 팝 잡음 제거장치를 나타  
내는 블록도이다.

도 2는 본 발명에 따른 팝 잡음 제거회로를 구비하는 디지털 오디오 증폭기  
의 블록도이다.

도 3은 도 2에 도시된 회로의 주요 신호들을 시간에 따라 근사적으로 표현  
한 파형도이다.

도 4는 도 2에 도시된 스위치를 전자소자로 구현한 제1실시예를 나타낸다.

도 5는 도 2에 도시된 스위치를 전자소자로 구현한 제2실시예를 나타낸다.

도 6은 도 2에 도시된 스위치를 전자소자로 구현한 제3실시예를 나타낸다.

도 7은 도 2에 도시된 스위치 제어기의 제1실시예를 나타낸다.

도 8은 도 2에 도시된 스위치 제어기의 제2실시예를 나타낸다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 디지털 오디오 증폭기에 관한 것으로, 특히 이중 전원(dual power supply)을 사용하는 디지털 오디오 증폭기에서의 팝 잡음 제거회로 및 방법에 관한 것이다.
- <11> 도 1에 도시된 바와 같이 종래에는 디지털 오디오 증폭기에서 팝 잡음(Pop noise)을 제거하기 위하여 릴레이(Relay)(14)가 이용된다. 즉 디지털 오디오 증폭기(10)와 스피커(12) 사이에 릴레이(14)를 두고, 라인전압을 감지하여 오디오 증폭기(10)가 정상적으로 동작할 수 있을 때 릴레이(14)를 동작시켜서 오디오 증폭기(10)와 스피커(12)를 연결함으로써 팝 잡음 발생을 방지한다.
- <12> 디지털 오디오 증폭기(10)는 전력용(Power) 피모스 트랜지스터(PM1), 전력용 엔모스 트랜지스터(NM1), 게이트 컨트롤러(101), 및 커패시터들(C1,C2)을 포함하고, 출력단(0)에는 인덕터스(L1)와 커패시터(C3)로 구성된 출력단 필터가 연결된다.
- <13> 그런데 종래기술에 사용되는 릴레이(14)는 전기기계 장치로서 일반적인 전자 소자에 비하여 부피가 크고 가격도 비쌌 뿐 아니라 단독으로 사용될 수 없어서 별도의 릴레이 제어기(16)를 필요로 하는 단점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<14> 따라서 본 발명이 이루고자하는 기술적 과제는, 이중 전원을 사용하는 디지털 오디오 증폭기에 있어서 간단하고 가격이 저렴하며 반도체 칩 상에 쉽게 구현될 수 있는 팝 잡음 제거회로를 제공하는 데 있다.

<15> 본 발명이 이루고자하는 다른 기술적 과제는, 이중 전원을 사용하는 디지털 오디오 증폭기에 있어서 간단하고 가격이 저렴하며 반도체 칩 상에 쉽게 구현될 수 있는 팝 잡음 제거방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<16> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 팝 잡음 제거회로는, 소오스에 제1전원전압이 인가되고 드레인에 출력단이 연결되는 전력용 피모스 트랜지스터, 드레인에 상기 출력단이 연결되고 소오스에 제2전원전압이 인가되는 전력용 엔모스 트랜지스터, 상기 전력용 피모스 트랜지스터의 게이트와 상기 전력용 엔모스 트랜지스터의 게이트를 제어하는 게이트 컨트롤러, 및 인터터와 커패시터로 구성된 출력단 필터를 구비하는 디지털 오디오 증폭기의 팝 잡음 제거회로에 있어서,

<17> 상기 제1전원전압과 상기 전력용 피모스 트랜지스터의 게이트 사이에 연결되는 제1스위치; 상기 제2전원전압과 상기 전력용 엔모스 트랜지스터의 게이트 사이에 연결되는 제2스위치; 및 상기 제1전원전압 및 상기 제2전원전압을 감지하여 상기 제1스위치를 제어하는 제1제어신호 및 상기 제2스위치를 제어하는 제2제어신호를 발생하는 스위치 제어기를 구비하고,

<18>      상기 스위치 제어기는 상기 제1전원전압 및 상기 제2전원전압이 각각의 임계전압에 도달하기 전까지는 상기 제1스위치 및 상기 제2스위치를 턴온시키고 상기 제1전원전압 및 상기 제2전원전압이 각각의 임계전압에 도달된 후에는 상기 제1스위치 및 상기 제2스위치를 턴오프시키는 것을 특징으로 한다.

<19>      상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 팝 잡음 제거방법은, 제1전원전압과 출력단 사이에 연결되는 전력용 피모스 트랜지스터, 상기 출력단과 제2전원전압 사이에 연결되는 전력용 엔모스 트랜지스터, 상기 전력용 피모스 트랜지스터의 게이트와 상기 전력용 엔모스 트랜지스터의 게이트를 제어하는 게이트 콘트롤러, 및 인덕터와 커패시터로 구성된 출력단 필터를 구비하는 디지털 오디오 증폭기에 대한 팝 잡음 제거방법에 있어서,

<20>      상기 제1전원전압 및 상기 제2전원전압을 감지하는 단계; 감지결과 상기 제1전원전압이 제1임계전압에 도달하지 않았을 때는 상기 전력용 피모스 트랜지스터의 게이트에 상기 제1전원전압을 인가하고 상기 제2전원전압이 제2임계전압에 도달하지 않았을 때는 상기 전력용 엔모스 트랜지스터의 게이트에 상기 제2전원전압을 인가하는 단계; 및 감지결과 상기 제1전원전압이 상기 제1임계전압에 도달된 후에는 상기 전력용 피모스 트랜지스터의 게이트에 상기 제1전원전압을 인가하지 않고 상기 제2전원전압이 상기 제2임계전압에 도달된 후에는 상기 전력용 엔모스 트랜지스터의 게이트에 상기 제2전원전압을 인가하지 않는 단계를 구비하는 것을 특징으로 한다.



- <21> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <22> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <23> 도 2는 본 발명에 따른 팝 잡음 제거회로를 구비하는 디지털 오디오 증폭기의 블록도이다.
- <24> 도 2를 참조하면, 본 발명에 따른 팝 잡음 제거회로(24)는 제1스위치(SW1), 제2스위치(SW2), 및 스위치 제어기(241)를 구비하며 디지털 오디오 증폭기(20)의 앞단에 연결된다.
- <25> 좀더 상세하게는 디지털 오디오 증폭기(20)는 전력용 피모스 트랜지스터(PM2), 전력용 엔모스 트랜지스터(NM2), 커패시터들(C4, C5), 게이트 콘트롤러(201), 및 인덕터(L2)와 커패시터(C6)로 구성된 필터를 구비한다. 디지털 오디오 증폭기(20)는 스피커(22)에 연결된다.
- <26> 전력용 피모스 트랜지스터(PM2)는 소오스에 제1전원전압(VDD), 즉 양(Positive) 전원전압이 인가되고 드레인에 출력단(O)이 연결되며, 전력용 엔모스 트랜지스터(NM2)는 드레인에 출력단(O)이 연결되고 소오스에 제2전원전압(VSS), 즉 음(Negative) 전원전압이 인가된다. 게이트 콘트롤러(201)는 입력단을 통해 입력되는 신호(IN)에 응답하여 전력용 피모스 트랜지스터(PM2)의 게이트와 전력

용 엔모스 트랜지스터(NM2)의 게이트를 제어한다. 입력신호(IN)는 도시되지 않은 소정의 제어회로로부터 출력되는 신호이다.

<27> 커패시터(C4)는 게이트 콘트롤러(201)의 출력단과 전력용 피모스 트랜지스터(PM2)의 게이트 사이에 연결되고 커패시터(C5)는 게이트 콘트롤러(201)의 출력단과 전력용 엔모스 트랜지스터(NM2)의 게이트 사이에 연결된다. 커패시터들(C4,C5)은 게이트 콘트롤러(201)와 전력용 트랜지스터들(PM2,NM2) 사이의 전원전압 차를 유지하면서 게이트 콘트롤러(201)의 출력신호를 전력용 트랜지스터들(PM2,NM2)의 게이트들에 전달하기 위해서 사용된다.

<28> 팝 잡음 제거회로(24)는 상술한 바와 같이 제1스위치(SW1), 제2스위치(SW2), 및 스위치 제어기(241)를 구비하며 본 발명에 따른 팝 잡음 제거방법에 따라 동작한다. 제1스위치(SW1)는 제1전원전압(VDD)과 전력용 피모스 트랜지스터(PM2)의 게이트 사이에 연결되고 제2스위치(SW2)는 제2전원전압(VSS)과 전력용 엔모스 트랜지스터(NM2)의 게이트 사이에 연결된다.

<29> 스위치 제어기(241)는 제1전원전압(VDD) 및 제2전원전압(VSS)을 감지하여 제1스위치(SW1)를 제어하는 제1제어신호(CT1) 및 제2스위치(SW2)를 제어하는 제2제어신호(CT2)를 발생한다. 특히 스위치 제어기(241)는 제1전원전압(VDD) 및 제2전원전압(VSS)이 각각의 소정의 임계전압에 도달하기 전까지는 제1스위치(SW1) 및 제2스위치(SW2)를 턴온시키고 제1전원전압(VDD) 및 제2전원전압(VSS)이 각각의 임계전압에 도달된 후에는 제1스위치(SW1) 및 제2스위치(SW2)를 턴오프시킨다.

<30> 좀더 설명하면, 초기에 전원전압, 즉 제1전원전압(VDD) 및 제2전원전압(VSS)이 인가되면 일정한 전압 레벨이 되기 전에는 게이트 콘트롤러(201)가 정상적인 동작을 하지 못하고 이 때 전력 스위치들, 즉 전력용 트랜지스터들(PM2, NM2)의 게이트 전압이 정확하게 어디에 있을지 알 수 없게 된다. 이러한 현상은 전원전압 인가 및 해제 시 팝 잡음을 유발시킨다. 따라서 팝 잡음을 제거하기 위해서는 전원전압(VDD, VSS)을 감지하여 디지털 오디오 증폭기(20)가 정상적인 동작을 할 수 있을 때 비로소 전력용 트랜지스터들(PM2, NM2)이 동작하여야 한다.

<31> 따라서 이러한 동작을 위하여 본 발명에서는 스위치 제어기(241)가 전원전압(VDD, VSS)을 감지하여 전원전압이 충분하지 않을 때, 즉 각각의 임계전압에 도달하기 전까지는 스위치들(SW1, SW2)을 턴온시킴으로써 전력용 트랜지스터들(PM2, NM2)을 오프시켜 팝 잡음의 유발을 방지한다. 다음에 전원전압(VDD, VSS)이 각각의 임계전압에 도달된 후에 스위치들(SW1, SW2)을 턴오프시킴으로써 전력용 트랜지스터들(PM2, NM2)을 동작시킨다. 전원전압(VDD, VSS) 해제 시에도 전원전압이 임계전압보다 낮을 때에는 스위치 제어기(241)에 의해 스위치들(SW1, SW2)을 턴온시킴으로써 전력용 트랜지스터들(PM2, NM2)을 오프시켜 팝 잡음의 유발을 방지한다.

<32> 도 3은 도 2에 도시된 회로의 주요 신호들을 시간에 따라 근사적으로 표현한 파형도이다.

<33> 도 3을 참조하면, 전원을 인가하는 경우에는 양(Positive) 전원전압(VDD)과 음(Negative) 전원전압(VSS)이 각각 시간에 따라 증가 및 감소하며 목표치에 이

른 후 안정된 값을 유지하게 된다. 이때 스위치(SW1,SW2)를 제어하는 신호(CT1,CT2)는 각각 전원전압(VDD,VSS)을 따라 증가 또는 감소하다가 미리 정해 놓은 임계전압(VC1,VC2)에 도달하면 다시 영으로 된다. 한편 전원을 해제하는 경우에는 전원전압(VDD,VSS)이 임계전압(VC1,VC2)보다 크기가 작아지는 순간부터 제어신호(CT1,CT2)가 생성된다.

<34> 스위치(SW1,SW2)는 바이폴라 트랜지스터와 같은 전류구동 소자로 구성될 수도 있으며 또는 MOS 트랜지스터와 같은 전압구동 소자로 구성될 수도 있다. 스위치(SW1,SW2)가 바이폴라 트랜지스터로 구성되는 경우에는 제어신호(CT1,CT2)는 바이폴라 트랜지스터의 베이스 전류에 해당되며, 스위치(SW1,SW2)가 MOS 트랜지스터로 구성되는 경우에는 제어신호(CT1,CT2)는 MOS 트랜지스터의 소오스-게이트 간 전압에 해당된다. 스위치(SW1,SW2)는 제어신호(CT1,CT2)의 크기가 문턱값(Threshold)을 넘을 때 턴온되고 그 보다 낮을 때 턴오프된다.

<35> 도 4는 도 2에 도시된 스위치를 전자소자로 구현한 제1실시예를 나타낸다.

<36> 도 4를 참조하면, 제1스위치(SW1a)는 하나의 PNP형 바이폴라 트랜지스터(PNP)로 구성되고 제2스위치(SW2a)는 하나의 NPN형 바이폴라 트랜지스터(NPN)로 구성된다.

<37> PNP형 바이폴라 트랜지스터(PNP)는 에미터에 제1전원전압(VDD)이 인가되고 베이스에 제1제어신호(CT1)가 인가되며 컬렉터에 전력용 피모스 트랜지스터(PM2)의 게이트가 연결된다. NPN형 바이폴라 트랜지스터(NPN)는 에미터에 제2전원전압(VSS)이 인가되고 베이스에 제2제어신호(CT2)가 인가되며 컬렉터에 전력용 엔모스 트랜지스터(NM2)의 게이트가 연결된다.

<38> 여기에서는 PNP형 바이폴라 트랜지스터(PNP)의 베이스로부터 흘러 나오는 전류가 제1제어신호(CT1)에 해당되며 NPN형 바이폴라 트랜지스터(NPN)의 베이스로부터 흘러 나오는 전류가 제2제어신호(CT2)에 해당된다. 전류의 크기가 스위치의 문턱값보다 클 때 스위치(SW1, SW2)가 턴온되면서 전력용 피모스 트랜지스터(PM2)의 게이트 전위가 제1전원전압(VDD) 레벨까지 상승하고 전력용 엔모스 트랜지스터(NM2)의 게이트 전위가 제2전원전압(VSS) 레벨까지 하강하게 된다. 이 때 두 전력 스위치, 즉 전력용 피모스 트랜지스터(PM2) 및 전력용 엔모스 트랜지스터(NM2)는 오프 상태에 들어가게 된다.

<39> 한편 제1스위치(SW1a)는 PNP형 바이폴라 트랜지스터 대신에 피모스 트랜지스터로 구성될 수 있으며 제2스위치(SW2a)는 NPN형 바이폴라 트랜지스터 대신에 엔모스 트랜지스터로 구성될 수 있다. 이 경우에 상기 피모스 트랜지스터는 소오스에 제1전원전압(VDD)이 인가되고 게이트에 제1제어신호(CT1)가 인가되며 드레인에 전력용 피모스 트랜지스터(PM2)의 게이트가 연결된다. 상기 엔모스 트랜지스터는 소오스에 제2전원전압(VSS)이 인가되고 게이트에 제2제어신호(CT2)가 인가되며 드레인에 전력용 엔모스 트랜지스터(NM2)의 게이트가 연결된다.

<40> 도 5는 도 2에 도시된 스위치를 전자소자로 구현한 제2실시예를 나타낸다.

<41> 도 5를 참조하면, 제1스위치(SW1b)는 하나의 PNP형 바이폴라 트랜지스터(PNP)와 하나의 다이오드(D1)로 구성되고 제2스위치(SW2b)는 하나의 NPN형 바이폴라 트랜지스터(NPN)와 하나의 다이오드(D2)로 구성된다.

<42> PNP형 바이폴라 트랜지스터(PNP)는 에미터에 제1전원전압(VDD)이 인가되고 베이스에 제1제어신호(CT1)가 인가되며, 다이오드(D1)는 일단에 PNP형 바이폴라

트랜지스터(PNP)의 콜렉터가 연결되고 다른 일단에 전력용 피모스 트랜지스터 (PM2)의 게이트가 연결된다.

<43> NPN형 바이폴라 트랜지스터(NPN)는 에미터에 제2전원전압(VSS)이 인가되고 베이스에 제2제어신호(CT2)가 인가되며, 다이오드(D2)는 일단에 NPN형 바이폴라 트랜지스터(NPN)의 콜렉터가 연결되고 다른 일단에 전력용 엔모스 트랜지스터 (NM2)의 게이트가 연결된다.

<44> 여기에서 다이오드(D1)를 추가하는 목적은 전력용 피모스 트랜지스터(PM2)의 게이트 전위가 제1전원전압(VDD)보다 높을 때 전류가 역류하는 것을 방지하기 위한 것이다. 이와 마찬가지로 다이오드(D2)를 추가한 목적은 전력용 엔모스 트랜지스터(NM2)의 게이트 전위가 제2전원전압(VSS)보다 낮을 때 전류가 역류하는 것을 방지하기 위한 것이다.

<45> 한편 제1스위치(SW1b)의 PNP형 바이폴라 트랜지스터(PNP)는 피모스 트랜지스터로 대체될 수 있으며 제2스위치(SW2b)의 NPN형 바이폴라 트랜지스터(NPN)는 엔모스 트랜지스터로 대체될 수 있다. 이 경우에 상기 피모스 트랜지스터는 소오스에 제1전원전압(VDD)이 인가되고 게이트에 제1제어신호(CT1)가 인가되며 드레인에 다이오드(D1)의 일단이 연결된다. 상기 엔모스 트랜지스터는 소오스에 제2전원전압(VSS)이 인가되고 게이트에 제2제어신호(CT2)가 인가되며 드레인에 다이오드(D2)의 일단이 연결된다.

<46> 도 6은 도 2에 도시된 스위치를 전자소자로 구현한 제3실시예로서 도 6에 도시된 회로에서 다이오드를 바이폴라 트랜지스터로 대체한 것이다.

- <47> 도 6을 참조하면, 제1스위치(SW1c)는 하나의 PNP형 바이폴라 트랜지스터(PNP1)와 하나의 NPN형 바이폴라 트랜지스터(NPN1)로 구성되고 제2스위치(SW2c)는 하나의 NPN형 바이폴라 트랜지스터(NPN2)와 하나의 PNP형 바이폴라 트랜지스터(PNP2)로 구성된다.
- <48> PNP형 바이폴라 트랜지스터(PNP1)는 에미터에 제1전원전압(VDD)이 인가되고 베이스에 제1제어신호(CT1)가 인가되며, NPN형 바이폴라 트랜지스터(NPN1)는 에미터에 전력용 피모스 트랜지스터(PM2)의 게이트가 연결되고 베이스에 PNP형 바이폴라 트랜지스터(PNP1)의 콜렉터가 연결되며 콜렉터에 제1전원전압(VDD)이 인가된다.
- <49> NPN형 바이폴라 트랜지스터(NPN2)는 에미터에 제2전원전압(VSS)이 인가되고 베이스에 제2제어신호(CT2)가 인가되며, PNP형 바이폴라 트랜지스터(PNP2)는 에미터에 전력용 엔모스 트랜지스터(NM2)의 게이트가 연결되고 베이스에 NPN형 바이폴라 트랜지스터(NPN2)의 콜렉터가 연결되며 콜렉터에 제2전원전압(VSS)이 인가된다.
- <50> 도 7은 도 2에 도시된 스위치 제어기의 제1실시예를 나타낸다.
- <51> 도 7을 참조하면, 스위치 제어기(241a)는 제1전원전압(VDD)을 감지하여 제1제어신호(CT1)를 발생하는 제1제어부(71) 및 제2전원전압(VSS)을 감지하여 제2제어신호(CT2)를 발생하는 제2제어부(73)를 구비한다.
- <52> 제1제어부(71)는 제1저항 내지 제4저항(R11-R14), 제너 다이오드(D11), 및 PNP형 바이폴라 트랜지스터(PNP11)를 포함하여 구성된다.

<53> 제1저항(R11)은 일단이 제1전원전압(VDD)에 연결되고, 제2저항(R12)은 일단이 제1저항(R11)의 다른 일단에 연결되고 다른 일단이 접지전압(GND)에 연결된다. 제3저항(R13)은 일단이 제1전원전압(VDD)에 연결되고, 다이오드(D11)는 일단이 제1저항(R11)의 다른 일단에 연결되고 다른 일단이 제3저항(R13)의 다른 일단에 연결된다. PNP형 바이폴라 트랜지스터(PNP11)는 에미터에 제1전원전압(VDD)이 인가되고 베이스에 제3저항(R13)의 다른 일단이 연결되며 콜렉터로부터 제1제어신호(CT1)를 출력한다. 제4저항(R14)은 일단이 PNP형 바이폴라 트랜지스터(PNP11)의 콜렉터에 연결되고 다른 일단이 접지전압(GND)에 연결된다.

<54> 제2제어부(73)는 제1저항 내지 제4저항(R21-R24), 다이오드(D21), 및 NPN형 바이폴라 트랜지스터(NPN21)를 포함하여 구성된다.

<55> 제1저항(R21)은 일단이 제2전원전압(VSS)에 연결되고, 제2저항(R22)은 일단이 제1저항(R21)의 다른 일단에 연결되고 다른 일단이 접지전압(GND)에 연결된다. 제3저항(R23)은 일단이 제2전원전압(VSS)에 연결되고 다이오드(D21)는 일단이 제1저항(R21)의 다른 일단에 연결되고 다른 일단이 제3저항(R23)의 다른 일단에 연결된다. NPN형 바이폴라 트랜지스터(NPN21)는 에미터에 제2전원전압(VSS)이 인가되고 베이스에 제3저항(R23)의 다른 일단이 연결되며 콜렉터로부터 제2제어신호(CT2)를 출력한다. 제4저항(R24)은 일단이 NPN형 바이폴라 트랜지스터(NPN21)의 콜렉터에 연결되고 다른 일단이 접지전압(GND)에 연결된다.



<56> 도 7에 도시된 제1실시예에 따른 스위치 제어기(241a)는 바이폴라 트랜지스터를 기반으로 구성된 회로이며, 스위치 제어기(241a)의 구성은 여러 가지 형태로 다양하게 변형될 수 있다.

<57> 스위치 제어기(241a)의 동작을 좀더 설명하면, 전원전압(VDD,VSS)의 크기가 각각 도 3에 도시된 임계전압(VC1,VC2)보다 작을 때는 바이폴라 트랜지스터(PNP11,NPN21)는 전류를 흘리지 않고 오프 상태에 있다. 이때 제어신호(CT1,CT2)의 값은 전원전압(VDD,VSS), 스위치(SW1,SW2) 및 저항(R14,R24)에 의해서 결정된다. 전원전압(VDD,VSS)의 크기가 임계전압(VC1,VC2)보다 클 때는 바이폴라 트랜지스터(PNP11,NPN21)는 포화영역에 있으며 제어신호(CT1,CT2)의 크기는 논리'0'이 된다. 제어신호(CT1,CT2)가 전류일 경우 스위치(SW1,SW2)로부터 전류를 받아 들어거나 내 보내지 않으며 이때 스위치(SW1,SW2)는 턴오프된다.

<58> 저항(R11,R12)는 임계전압(VC1)을 조절하기 위한 것이다. 저항(R11)에 걸린 전압이 제너 다이오드(D11)의 항복 전압과 바이폴라 트랜지스터(PNP11)의 베이스-에미터 간 순방향 전압( $\sim 0.7V$ )을 합한 것과 같을 때 바이폴라 트랜지스터(PNP11)의 온/오프 상태가 반전되면서 제어신호(CT1)를 반전시킨다. 저항(R13)은 임계전압(VC1)의 크기를 높이거나 바이폴라 트랜지스터(PNP11)의 베이스 전류를 줄이는 등의 설계 편의를 위한 것으로 동작에 반드시 필요한 요소는 아니다.

<59> 저항(R21,R22)도 저항(R11,R12)와 마찬가지로 임계전압(VC2)을 조절하기 위한 것이며, 저항(R23) 및 제너 다이오드(D21)의 역할도 각각 저항(R13) 및 제너 다이오드(D11)와 같다.

<60> 도 8은 도 2에 도시된 스위치 제어기의 제2실시예로서 도 7에 도시된 회로에서 바이폴라 트랜지스터(PNP11,NPN21)를 모스 트랜지스터(PM3,NM3)로 바꾼 회로이다. 도 8에 도시된 회로의 동작은 도 7에 도시된 회로의 동작과 동일하지만 저항(R13,R23)이 회로 동작에 반드시 필요하다는 차이점이 있다.

<61> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<62> 상술한 바와 같이 본 발명에 따른 팝 잡음 제거방식은 전원 인가 및 해제 시 전력 스위치, 즉 전력용 모스 트랜지스터의 게이트를 직접 제어하여 팝 잡음 발생을 억제하는 것이며 소수의 개별(Discrete) 전자 소자를 사용하여 간단하게 구성될 수 있다. 따라서 부피가 적으며 비용이 절감될 수 있는 장점이 있다. 또한 제안된 회로는 반도체 칩상에 쉽게 집적화가 가능하며 이렇게 할 때 본 발명의 효과를 더욱 높일 수 있다.

**【특허청구범위】****【청구항 1】**

소오스에 제1전원전압이 인가되고 드레인에 출력단이 연결되는 전력용 피모스 트랜지스터, 드레인에 상기 출력단이 연결되고 소오스에 제2전원전압이 인가되는 전력용 엔모스 트랜지스터, 상기 전력용 피모스 트랜지스터의 게이트와 상기 전력용 엔모스 트랜지스터의 게이트를 제어하는 게이트 콘트롤러, 및 인터터와 커패시터로 구성된 출력단 필터를 구비하는 디지털 오디오 증폭기의 팝 잡음 제거회로에 있어서,

상기 제1전원전압과 상기 전력용 피모스 트랜지스터의 게이트 사이에 연결되는 제1스위치;

상기 제2전원전압과 상기 전력용 엔모스 트랜지스터의 게이트 사이에 연결되는 제2스위치; 및

상기 제1전원전압 및 상기 제2전원전압을 감지하여 상기 제1스วิต치를 제어하는 제1제어신호 및 상기 제2스วิต치를 제어하는 제2제어신호를 발생하는 스위치 제어기를 구비하고,

상기 스위치 제어기는 상기 제1전원전압 및 상기 제2전원전압이 각각의 임계전압에 도달하기 전까지는 상기 제1스위치 및 상기 제2스วิต치를 턴온시키고 상기 제1전원전압 및 상기 제2전원전압이 각각의 임계전압에 도달된 후에는 상기 제1스위치 및 상기 제2스วิต치를 턴오프시키는 것을 특징으로 하는 디지털 오디오 증폭기의 팝 잡음 제거회로.

**【청구항 2】**

제1항에 있어서, 상기 제1스위치는,

에미터에 상기 제1전원전압이 인가되고 베이스에 상기 제1제어신호가 인가되는 PNP형 바이폴라 트랜지스터; 및

일단에 상기 PNP형 바이폴라 트랜지스터의 콜렉터가 연결되고 다른 일단에 상기 전력용 피모스 트랜지스터의 게이트가 연결되는 다이오드를 구비하는 것을 특징으로 하는 디지털 오디오 증폭기의 팝 잡음 제거회로.

**【청구항 3】**

제1항에 있어서, 상기 제2스위치는,

에미터에 상기 제2전원전압이 인가되고 베이스에 상기 제2제어신호가 인가되는 NPN형 바이폴라 트랜지스터; 및

일단에 상기 NPN형 바이폴라 트랜지스터의 콜렉터가 연결되고 다른 일단에 상기 전력용 엔모스 트랜지스터의 게이트가 연결되는 다이오드를 구비하는 것을 특징으로 하는 디지털 오디오 증폭기의 팝 잡음 제거회로.

**【청구항 4】**

제1항에 있어서, 상기 제1스위치는,

소오스에 상기 제1전원전압이 인가되고 게이트에 상기 제1제어신호가 인가되며 드레인에 상기 전력용 피모스 트랜지스터의 게이트가 연결되는 피모스 트랜지스터를 구비하는 것을 특징으로 하는 디지털 오디오 증폭기의 팝 잡음 제거회로.

## 【청구항 5】

제1항에 있어서, 상기 제2스위치는,

소오스에 상기 제2전원전압이 인가되고 게이트에 상기 제2제어신호가 인가되며 드레인에 상기 전력용 엔모스 트랜지스터의 게이트가 연결되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 디지털 오디오 증폭기의 팝 잡음 제거회로.

## 【청구항 6】

제1항에 있어서, 상기 스위치 제어기는,

상기 제1전원전압을 감지하여 상기 제1제어신호를 발생하는 제1제어부; 및

상기 제2전원전압을 감지하여 상기 제2제어신호를 발생하는 제2제어부를 구비하는 것을 특징으로 하는 디지털 오디오 증폭기의 팝 잡음 제거회로.

## 【청구항 7】

제6항에 있어서, 상기 제1제어부는,

일단이 상기 제1전원전압에 연결되는 제1저항;

일단이 상기 제1저항의 다른 일단에 연결되고 다른 일단이 접지전압에 연결되는 제2저항;

일단이 상기 제1전원전압에 연결되는 제3저항;

일단이 상기 제1저항의 다른 일단에 연결되고 다른 일단이 상기 제3저항의 다른 일단에 연결되는 다이오드;

에미터에 상기 제1전원전압이 인가되고 베이스에 상기 제3저항의 다른 일단이 연결되며 콜렉터로부터 상기 제1제어신호를 출력하는 PNP형 바이폴라 트랜지스터; 및

일단이 상기 PNP형 바이폴라 트랜지스터의 콜렉터에 연결되고 다른 일단이 접지전압에 연결되는 제4저항을 구비하는 것을 특징으로 하는 디지털 오디오 증폭기의 팝 잡음 제거회로.

**【청구항 8】**

제6항에 있어서, 상기 제2제어부는,

일단이 상기 제2전원전압에 연결되는 제1저항;

일단이 상기 제1저항의 다른 일단에 연결되고 다른 일단이 접지전압에 연결되는 제2저항;

일단이 상기 제2전원전압에 연결되는 제3저항;

일단이 상기 제1저항의 다른 일단에 연결되고 다른 일단이 상기 제3저항의 다른 일단에 연결되는 다이오드;

에미터에 상기 제2전원전압이 인가되고 베이스에 상기 제3저항의 다른 일단이 연결되며 콜렉터로부터 상기 제2제어신호를 출력하는 NPN형 바이폴라 트랜지스터; 및

일단이 상기 NPN형 바이폴라 트랜지스터의 콜렉터에 연결되고 다른 일단이 접지전압에 연결되는 제4저항을 구비하는 것을 특징으로 하는 디지털 오디오 증폭기의 팝 잡음 제거회로.

## 【청구항 9】

제1전원전압과 출력단 사이에 연결되는 전력용 피모스 트랜지스터, 상기 출력단과 제2전원전압 사이에 연결되는 전력용 엔모스 트랜지스터, 상기 전력용 피모스 트랜지스터의 게이트와 상기 전력용 엔모스 트랜지스터의 게이트를 제어하는 게이트 컨트롤러, 및 인터터와 커패시터로 구성된 출력단 필터를 구비하는 디지털 오디오 증폭기에 대한 팝 잡음 제거방법에 있어서,

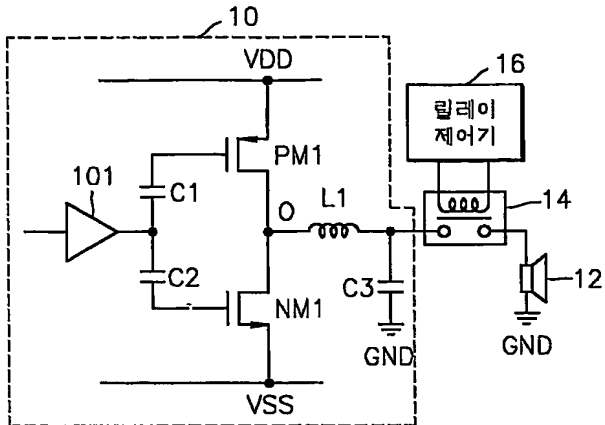
상기 제1전원전압 및 상기 제2전원전압을 감지하는 단계;

감지결과 상기 제1전원전압이 제1임계전압에 도달하지 않았을 때는 상기 전력용 피모스 트랜지스터의 게이트에 상기 제1전원전압을 인가하고 상기 제2전원전압이 제2임계전압에 도달하지 않았을 때는 상기 전력용 엔모스 트랜지스터의 게이트에 상기 제2전원전압을 인가하는 단계; 및

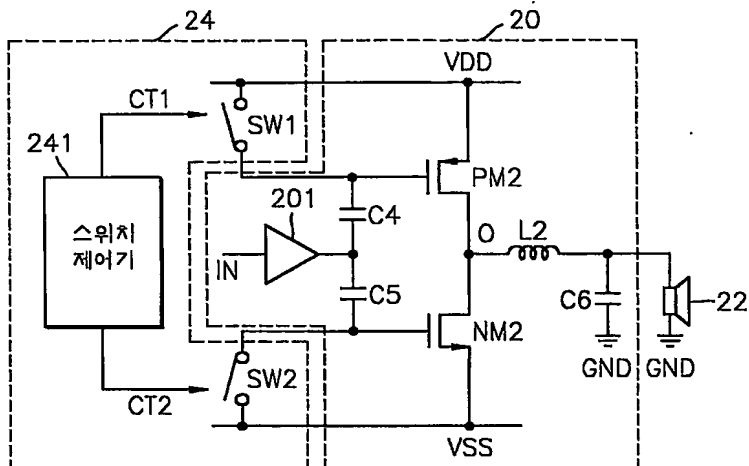
감지결과 상기 제1전원전압이 상기 제1임계전압에 도달된 후에는 상기 전력용 피모스 트랜지스터의 게이트에 상기 제1전원전압을 인가하지 않고 상기 제2전원전압이 상기 제2임계전압에 도달된 후에는 상기 전력용 엔모스 트랜지스터의 게이트에 상기 제2전원전압을 인가하지 않는 단계를 구비하는 것을 특징으로 하는 팝 잡음 제거방법.

## 【도면】

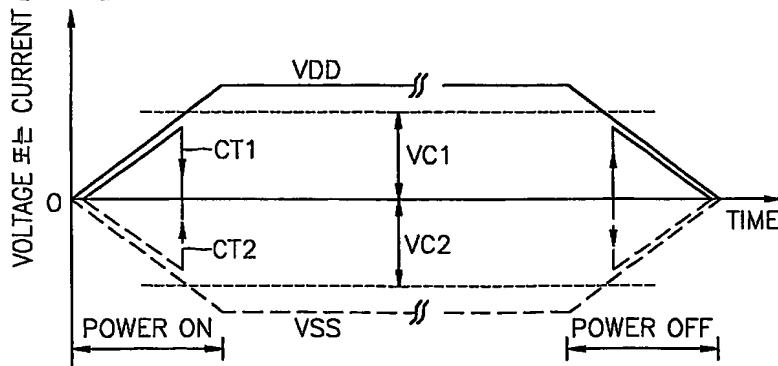
【도 1】



【도 2】

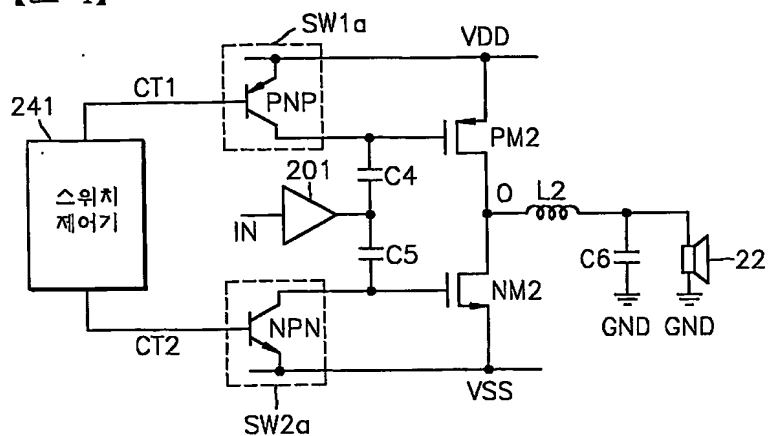


【도 3】

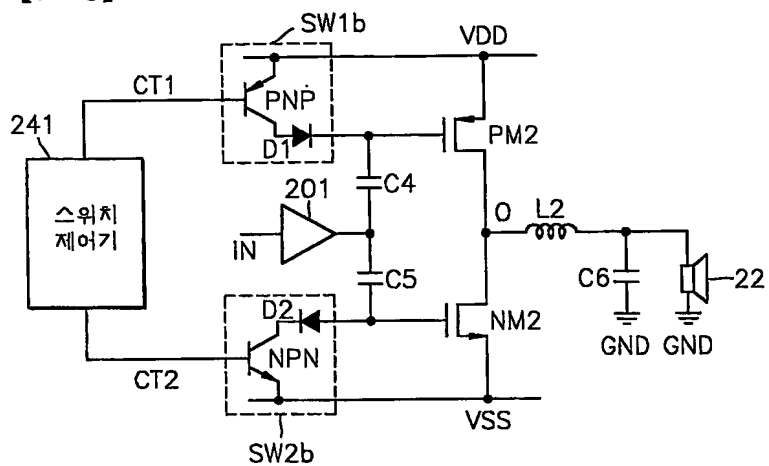




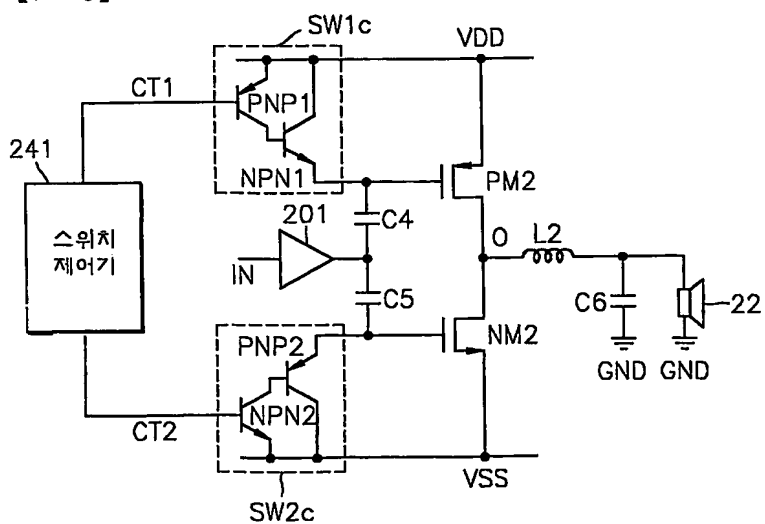
【도 4】



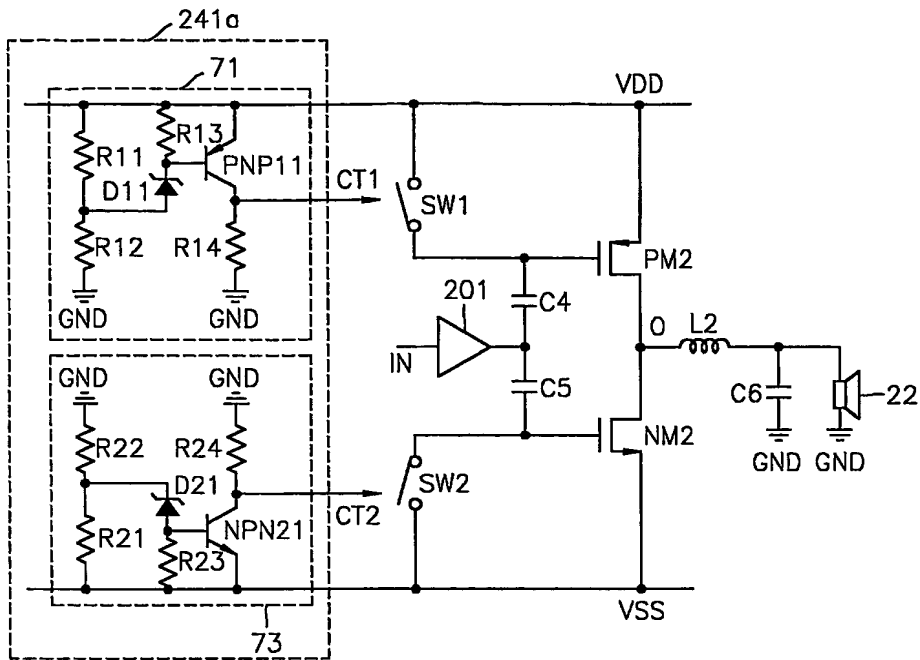
【도 5】



【도 6】



【도 7】



【도 8】

